



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0046983
Application Number

출원년월일 : 2003년 07월 10일
Date of Application JUL 10, 2003

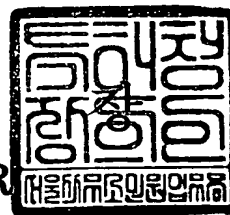
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 12 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.07.10
【발명의 명칭】	완전 게이트 실리사이드화 공정을 사용하여 모스 트랜지스터를 제조하는 방법
【발명의 영문명칭】	Method of fabricating a MOS transistor using a total gate silicidation process
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	유재운
【성명의 영문표기】	Y00, JAE Y00N
【주민등록번호】	720619-1006612
【우편번호】	135-280
【주소】	서울특별시 강남구 대치동 은마아파트 10동 805호
【국적】	KR
【발명자】	
【성명의 국문표기】	이화성
【성명의 영문표기】	RHEE, HWA SUNG
【주민등록번호】	700906-1067412
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동 까치마을 대우아파트 106-402
【국적】	KR
【발명자】	
【성명의 국문표기】	이호
【성명의 영문표기】	LEE, HO
【주민등록번호】	720723-1019626

【우편번호】 464-892
【주소】 경기도 광주군 오폐면 능평리 오폐베르빌 103-401
【국적】 KR
【발명자】
【성명의 국문표기】 이승환
【성명의 영문표기】 LEE, SEUNG HWAN
【주민등록번호】 740924-1041728
【우편번호】 150-010
【주소】 서울특별시 영등포구 여의도동 은하아파트 8동 1207호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 8 면 8,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 30 항 1,069,000 원
【합계】 1,106,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

완전 게이트 실리사이드화 공정을 사용하여 모스 트랜지스터(MOSFET)를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 절연된 게이트 패턴을 형성하는 것을 구비한다. 상기 절연된 게이트 패턴은 차례로 적층된 실리콘 패턴 및 희생막 패턴을 포함한다. 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하고, 상기 스페이서 및 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성한다. 상기 소오스/드레인 영역들을 갖는 반도체기판의 상기 희생막 패턴을 제거하여 상기 실리콘 패턴을 노출시킨다. 상기 노출된 실리콘 패턴을 게이트 실리사이드막으로 완전히 변환시킴과 동시에 상기 소오스/드레인 영역의 표면에 소오스/드레인 실리사이드막을 선택적으로 형성한다.

【대표도】

도 1

【색인어】

완전 게이트 실리사이드화(total gate silicidation), 모스 트랜지스터(MOSFET), 시모스 트랜지스터(CMOSFET), 희생막(sacrificial layer)

【명세서】**【발명의 명칭】**

완전 게이트 실리사이드화 공정을 사용하여 모스 트랜지스터를 제조하는 방법{Method of fabricating a MOS transistor using a total gate silicidation process}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 시모스 트랜지스터의 제조 방법을 설명하기 위한 공정 순서도이다.

도 2 내지 도 7은 본 발명의 실시예에 따른 시모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 완전 게이트 실리사이드화 공정을 사용하여 모스 트랜지스터를 제조하는 방법에 관한 것이다.
- <4> 반도체 소자는 모스 트랜지스터와 같은 개별소자(discrete device)를 스위칭 소자로 널리 채택하고 있다. 상기 반도체 소자의 집적도가 증가함에 따라, 상기 모스 트랜지스터는 점점 스케일 다운되고 있다. 그 결과, 상기 모스 트랜지스터의 채널 길이가 감소하여 단채널 효과(short channel effect)가 발생한다.
- <5> 상기 단채널 효과를 개선하기 위해서는 상기 모스 트랜지스터의 소오스/드레인 영역의 접합깊이(junction depth)를 감소시키는 것이 요구된다. 그런데, 소오스/드레인 영역의 접합깊이

이를 감소시키는 것은 상기 소오스/드레인 영역의 면저항을 증가시키며, 결과적으로 고성능 (high performance) 트랜지스터에 요구되는 적합한 구동전류를 얻지 못하게 된다. 상기 소오스/드레인 영역의 면저항 감소를 해결하는 한편, 게이트 전극의 면저항을 감소시키는 방안으로 셀리사이드(self-aligned silicide; salicide) 공정이 널리 사용되고 있다.

<6> 상기 셀리사이드 공정은 소오스/드레인 영역 및 게이트 영역의 폴리 실리콘 상부에 실리사이드막을 동시에 형성하는 공정으로 개발되어 널리 사용되고 있다. 이때, 상기 소오스/드레인 영역에 형성되는 실리사이드막의 두께는 상기 접합깊이 보다는 작아야 한다.

<7> 한편, 상기 MOS 트랜지스터가 스케일 다운됨에 따라, 상기 단채널 효과 방지 및 전류 구동능력(current drivability) 향상을 위해 게이트 절연막의 두께(T_{ox})는 더욱 심하게 감소되어 왔다. 게이트 절연막의 두께 감소는 상기 게이트 절연막의 커패시턴스를 증가시켜 전류 구동능력을 향상시킨다.

<8> 그러나, 상기 게이트 절연막의 두께가 감소함에 따라, 다결정 실리콘막을 게이트 전극으로 사용하는 MOS 트랜지스터에서 다결정 실리콘 공핍(poly depletion)이 중요한 문제로 대두된다. 상기 다결정 실리콘 공핍층은 게이트 절연막의 전기적인 등가두께(electrical equivalent thickness)를 증가시켜 구동 전류(drive current)를 감소시킨다.

<9> 상기 다결정 실리콘 공핍(poly depletion)을 해결하기 위한 방안으로 금속 게이트를 사용하는 방안이 널리 연구되고 있다. 그러나, 상기 금속 게이트는 트랜지스터의 문턱전압(threshold voltage; V_{th})을 조절하기 어렵다는 단점이 있다. 특히, 시모스(CMOS) 트랜지스터에 금속 게이트를 사용하기 위해서는 N-모스 트랜지스터 영역 및 P-모스 트랜지스터 영역 각각의 문턱전압을 조절하여야 한다. 이를 위해 각 MOS 트랜지스터에 서로 다른 금속 게이트를 사용하는 것은 공정을 복잡하게 하여 채택하기 어렵다.

- <10> 상기 다결정 실리콘 공핍 및 상기 금속 게이트의 문제를 해결하기 위한 방안이 "완전 실리사이드(CoSi₂)화된 다결정실리콘: 금속 화학기계적 연마나 식각이 없는 저저항 게이트에 대한 새로운 접근(Totally Silicided (CoSi₂) Polysilicon: a novel approach to very low-resistive gate($\sim 2\Omega/\square$) without metal CMP nor etching; IEDM 2001, p.825-828, December of 2001)" 이라는 제목의 논문으로 타벨(Tavel) 등에 의해 개시된 바 있다.
- <11> 그러나, 상기 논문은, 미드갭 물질을 금속 게이트로 사용함에 따라 플랫 밴드 전압(V_{fb})의 절대값 감소에 따른 문턱전압(V_{th})이 증가하는 문제, 소오스/드레인 영역의 실리사이드막과 게이트 실리사이드막을 분리하여 형성하기 때문에 공정이 복잡해지는 문제가 있다. 특히, 소오스/드레인 영역의 실리사이드막과 게이트 실리사이드막을 분리하여 형성하기 위해서는 화학기계적 연마공정을 사용하여야 하는 문제가 있다.
- <12> 완전 게이트 실리사이드 공정을 사용하여 소오스/드레인 영역의 실리사이드막과 게이트 실리사이드막을 동시에 형성하기 위해서는 게이트 높이를 낮출 필요가 있다. 그러나, 게이트 높이를 단순히 낮출 경우 소오스/드레인 이온 주입 공정에서 상기 이온들이 채널영역으로 주입되어, 모스 트랜지스터의 누설전류가 증가하는 문제가 있다.
- <13> 결과적으로, 다결정 실리콘 공핍 문제를 해결할 수 있는 모스 트랜지스터 제조 방법을 최적화할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

- <14> 본 발명의 목적은 완전 게이트 실리사이드화 공정을 사용하여 소오스/드레인 영역의 실리사이드막과 게이트 실리사이드막을 동시에 형성하면서, 소오스/드레인 이온주입 동안 채널

이온주입을 방지할 수 있는 모스 트랜지스터 및 시모스 트랜지스터 제조 방법을 제공하는 데 있다.

<15> 본 발명의 다른 목적은, 금속 게이트를 사용하면서, 낮은 문턱전압을 유지할 수 있는 모스 트랜지스터 및 시모스 트랜지스터 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<16> 상기 목적들을 달성하기 위하여, 본 발명은 완전 게이트 실리콘사이드화 공정을 사용하여 모스 트랜지스터를 제조하는 방법을 제공한다. 이 방법은 반도체기판 상에 절연된 게이트 패턴을 형성하는 것을 구비한다. 상기 절연된 게이트 패턴은 차례로 적층된 실리콘 패턴 및 희생막 패턴을 포함한다. 상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하고, 상기 스페이서 및 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성한다. 그 후, 상기 소오스/드레인 영역들을 갖는 반도체기판의 상기 희생막 패턴을 제거하여 상기 실리콘 패턴을 노출시킨다. 상기 노출된 실리콘 패턴을 게이트 실리콘사이드막으로 완전히(totally) 변환시킴(converting)과 동시에 상기 소오스/드레인 영역의 표면에 소오스/드레인 실리콘사이드막을 선택적으로 형성한다.

<17> 바람직하게는, 상기 게이트 패턴을 형성하는 것은 반도체기판의 전면 상에 게이트절연막 및 실리콘막을 순차적으로 형성하는 것을 포함한다. 상기 실리콘막이 형성된 반도체기판의 전면 상에 희생막을 형성한다. 상기 희생막 및 상기 실리콘막을 순차적으로 패터닝하여 실리콘 패턴 및 희생막 패턴을 형성한다.

<18> 바람직하게는, 상기 희생막을 형성하기 전 또는 후에 문턱전압을 조절하기 위한 불순물로 상기 실리콘막을 도우핑한다. 상기 불순물은 모스 트랜지스터의 종류에 따라 N 형(N type)

또는 P 형(P type)이다. 즉, N-모스 트랜지스터를 제조하는 경우에는 N 형 불순물로 상기 실리콘막을 도우핑하고, P-모스 트랜지스터를 제조하는 경우에는 P 형 불순물로 도우핑한다. 또한, 상기 불순물로 상기 실리콘막을 도우핑하기 전에 상기 실리콘막 상에 버퍼층을 형성할 수 있다. 상기 버퍼층은 고 에너지를 이용하여 불순물을 이온주입하는 기술에서, 불순물이 상기 게이트 절연막 하부의 반도체기판으로 침투하는 것을 방지하기 위해 사용될 수 있다. 이때, 상기 버퍼층은 상기 실리콘막을 패터닝하기 전에 버퍼층 패턴을 형성하도록 식각되며, 상기 버퍼층 패턴은 상기 실리콘 패턴을 노출시키기 위하여 상기 희생막 패턴과 함께 제거된다.

<19> 바람직하게는, 상기 스페이서를 형성하기 전에 단채널 효과 및 핫 캐리어 효과를 방지하기 위해 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 LDD 및 헤일로를 형성할 수 있다. 또한, 단채널 효과를 방지하기 위하여 상기 LDD 및 헤일로를 형성하기 전에 오프셋(offset) 스페이서를 형성할 수 있다. 상기 오프셋 스페이서는 채널길이를 증가시켜 단채널 효과를 방지한다.

<20> 한편, 상기 실리사이드막들은 상기 노출된 실리콘 패턴을 갖는 반도체기판의 전면 상에 금속막을 형성하고, 상기 노출된 실리콘 패턴의 완전한 실리사이드화(total silicidation)가 이루어질 때까지 상기 금속막을 열처리하여 형성할 수 있다. 상기 실리사이드막들이 형성된 후, 게이트 실리사이드막과 소오스/드레인 실리사이드막의 전기적 절연을 위해 상기 스페이서 상에 잔존하는 미반응된(unreacted) 금속막을 제거한다.

<21> 상기 목적들을 달성하기 위하여, 본 발명은 반도체기판의 소정영역에 N-모스 트랜지스터 영역 및 P-모스 트랜지스터 영역을 한정하고, 상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상에 절연된 게이트 패턴들을 형성하는 것을 구비한다. 상기 절연된 게이트 패턴들 각각은 차례로 적층된 실리콘 패턴 및 희생막 패턴을 포함한다. 상기 게이트 패턴들의

측벽을 덮는 스페이서들을 형성하고, 상기 게이트 패턴들 및 상기 스페이서들을 이온주입 마스크로 사용하여 상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성한다. 이때, 상기 N-모스 트랜지스터 영역 내에는 N 형의 소오스/드레인 영역이 형성되고, 상기 P-모스 트랜지스터 영역 내에는 P 형의 소오스/드레인 영역이 형성된다. 상기 소오스/드레인 영역들을 갖는 반도체기판의 상기 희생막 패턴들을 제거하여 상기 실리콘 패턴들을 노출시키고, 상기 노출된 실리콘 패턴들을 게이트 실리콘사이드막들로 완전히(totally) 변환시킴(converting)과 동시에 상기 소오스/드레인 영역들의 표면에 소오스/드레인 실리콘사이드막들을 선택적으로 형성한다.

<22> 바람직하게는, 상기 절연된 게이트 패턴을 형성하는 것은 상기 반도체기판의 전면 상에 게이트절연막 및 실리콘막을 순차적으로 형성하는 것을 구비한다. 상기 실리콘막이 형성된 반도체기판의 전면 상에 희생막을 형성하고, 상기 희생막 및 상기 실리콘막을 패터닝하여 상기 실리콘 패턴들 및 상기 희생막 패턴들을 형성한다.

<23> 바람직하게는, 상기 희생막을 형성하기 전 또는 후에 문턱전압을 조절하기 위한 불순물들로 상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상부의 상기 실리콘막을 도우핑할 수 있다. 이때, 상기 N-모스 트랜지스터 영역 상부의 실리콘막을 N 형 불순물로 도우핑하고, P-모스 트랜지스터 영역 상부의 실리콘 막을 P 형 불순물로 도우핑한다. 또한, 상기 실리콘막을 도우핑하기 전에 버퍼층을 형성할 수 있다.

<24> 바람직하게는, 상기 스페이서를 형성하기 전에 상기 게이트 패턴을 포함하는 반도체기판의 N-모스 트랜지스터 영역 및 P-모스 트랜지스터 영역 상부에 불순물 이온들을 주입하여 LDD들 및 헤일로들을 형성할 수 있다. 또한, 상기 LDD들 및 헤일로들을 형성하기 전에 오프셋(offset) 스페이서를 형성할 수 있다.

- <25> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- <26> 도 1은 본 발명의 실시예들에 따른 시모스 트랜지스터들의 제조방법을 설명하기 위한 공정 순서도(process flow chart)이고, 도 2 내지 도 7은 본 발명의 실시예들에 따른 시모스 트랜지스터의 제조방법을 설명하기 위한 단면도들이다. 도 2 내지 도 7에서, 참조부호 A는 N-모스 트랜지스터 영역을 나타내고, 참조부호 B는 P-모스 트랜지스터 영역을 나타낸다.
- <27> 도 1 및 도 2를 참조하면, 반도체기판(51)의 소정영역에 소자분리막(53)을 형성하여 활성영역을 한정한다. 상기 반도체기판(51)은 단결정 실리콘 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 인장된(strained) 실리콘 기판일 수 있다. 한편, 시모스 트랜지스터를 제조할 경우, N-모스 트랜지스터영역(A) 및 P-모스 트랜지스터 영역(B)을 한정한다(도 1의 단계 1). 상기 N-모스 및 P-모스 트랜지스터 영역(A 및 B)은 웰(Well)을 형성하여 한정할 수 있으나, 완전 분리형 SOI(fully depleted SOI; FDSOI)의 경우에는 상기 웰을 형성할 필요가 없다. 이때 주입되는 불순물은 상기 N-모스 트랜지스터 영역(A)에는 P 형, 상기 P-모스 트랜지스터 영역(B)에는 N 형이다.
- <28> 상기 활성영역이 형성된 반도체기판의 전면 상에 게이트 절연막(55) 및 실리콘막(57)을 순차적으로 형성한다(도 1의 단계 3). 상기 게이트 절연막(55)은 실리콘 산화막(SiO_2)으로 형성하는 것이 바람직하다.

- <29> 상기 실리콘막(57)은 다결정 실리콘막 또는 비정질(amorphous) 실리콘막으로 형성할 수 있으며, 시모스 트랜지스터를 형성하기 위해서는 불순물이 도우핑되지 않은 실리콘막(undoped-Si layer)을 형성하는 것이 바람직하다. 한편, 게이트 높이(gate height)를 낮추기 위해 상기 실리콘막(57)은 100Å 내지 600Å의 두께로 형성하는 것이 바람직하다.
- <30> 도 1 및 도 3을 참조하면, 문턱전압(V_{th})을 조절하기 위한 불순물로 상기 실리콘막(57)을 도우핑할 수 있다(도 1의 단계 5). 상기 문턱전압을 조절하기 위해 상기 실리콘막을 도우핑하는 불순물은, 상기 실리콘막(57)이 금속실리사이드막으로 완전히 변환되었을 때, 금속실리사이드막의 계면 일함수(surface workfunction)를 조절하여 문턱전압을 조절하는 역할을 한다.
- <31> 상기 불순물은 플라즈마 도우핑 기술 또는 고에너지 이온주입(implantation) 기술을 사용하여 도우핑될 수 있다. 이때, 마스크를 이용하여 상기 N-모스 트랜지스터 영역(A) 상부의 상기 실리콘막(57)을 N 형의 불순물로 도우핑하고, 상기 P-모스 트랜지스터 영역(B) 상부의 상기 실리콘막(57)을 P 형의 불순물로 도우핑한다.
- <32> 그런데, 상기 도우핑되는 불순물은 상기 게이트 절연막(55) 하부의 반도체기판에 형성된 웰(Well)의 불순물과 반대 형(type)이다. 따라서, 상기 실리콘막(57)을 도우핑하는 불순물이 상기 게이트 절연막(55) 하부로 침투하는 것을 방지하여야 한다. 이를 위해, 고에너지 이온주입 기술을 이용하여 상기 불순물을 도우핑하기 전에, 상기 실리콘막(57) 상에 버퍼층(59)을 형성하는 것이 바람직하다. 상기 버퍼층(59)은 SiN 또는 SiON으로 형성할 수 있으며, 바람직하게는 실리콘 질화막(SiN)으로 형성할 수 있다. 상기 버퍼층(59)의 두께는 주입되는 이온의 침투 깊이(penetration depth)를 고려하여 적당한 두께로 형성한다.

- <33> 도 1 및 도 4를 참조하면, 상기 실리콘막(57)에 불순물을 도우핑한 후, 상기 버퍼층(59) 상부에 희생막(sacrificial layer)을 형성한다. 상기 희생막은 SiN 또는 SiON으로 형성할 수 있으며, 바람직하게는 실리콘 질화막(SiN)으로 형성할 수 있다.
- <34> 상기 버퍼층(59) 및 상기 희생막은 향후 소오스/드레인 이온 주입 공정에서 마스크 역할을 하여, 불순물이 게이트의 채널영역으로 침투하는 것을 방지하는 역할을 한다. 따라서, 상기 버퍼층(59)이 충분히 두꺼운 경우에는 추가적인 희생막을 형성할 필요가 없다. 추가적인 희생막을 형성하지 않는 경우에는 상기 버퍼층(59)을 희생막으로 부르기로 한다.
- <35> 상기 N-모스 트랜지스터 영역(A) 및 상기 P-모스 트랜지스터 영역(B)의 상기 희생막, 버퍼층(59) 및 실리콘막(57)을 차례로 패터닝하여 실리콘 패턴들(57a), 버퍼층 패턴(59a)들 및 희생막 패턴들(61)을 포함하는 게이트 패턴들(61a)을 형성한다(도 1의 단계 7). 이때, 상기 게이트 절연막(55)도 패터닝되어 게이트 절연막 패턴들(55a)이 형성될 수 있다.
- <36> 도 1 및 도 5를 참조하면, 상기 게이트 패턴들(61a)을 이온주입 마스크로 사용하여 상기 반도체기판(51)의 N-모스 트랜지스터 영역(A) 및 P-모스 트랜지스터 영역(B)내에 불순물 이온들을 주입하여 저농도 불순물 영역들(LDD, 67) 및 헤일로들(halo, 69)을 형성한다(도 1의 단계 9).
- <37> 상기 LDD들(67)은 N-모스 트랜지스터 영역(A)에는 N 형을 P-모스 트랜지스터 영역(B)에는 P 형의 불순물을 이온 주입하여 형성한다. 이를 위해, 상기 게이트 패턴들(61a) 이외에 추가적인 이온주입 마스크를 형성할 필요가 있다. 예를 들어, 상기 N-모스 트랜지스터 영역(A)에 LDD를 형성하는 동안, 추가적인 마스크를 사용하여 상기 P-모스 트랜지스터 영역에 N 형의 불순물이 주입되는 것을 방지한다.

- <38> LDD는 핫 캐리어 효과(hot carrier effect)를 방지하기 위해 널리 사용되는 기술이다. 그러나, 저농도 불순물이라고 하지만, 절대적인 저농도를 의미하는 것은 아니며, 소오스/드레인 영역을 형성하기 위한 고농도 불순물에 비해 낮다는 의미로 해석하여야 한다.
- <39> 한편, 상기 헤일로들(69)은 단채널 효과를 방지하기 위해 사용되는 것으로 LDD와 반대형의 불순물을 이온 주입하여 형성한다. 추가적인 마스크를 사용하는 것은 LDD의 경우와 같다.
- <40> 바람직하게는, 채널 길이를 증가시켜 단채널 효과를 방지하기 위해 상기 LDD들(67) 및 상기 헤일로들(69)을 형성하기 전에 상기 게이트 패턴들(61a)이 측벽을 덮는 오프셋 스페이서들(63)을 형성할 수 있다. 상기 오프셋 스페이서들(63)은 상기 버퍼층 패턴들(59a) 및 상기 희생막 패턴들(61)과 식각 선택비가 있는 절연막으로 형성한다. 바람직하게는, 실리콘 산화막(SiO_2)으로 형성할 수 있다.
- <41> 상기 LDD들(67) 및 상기 헤일로들(69)을 형성한 후, 상기 게이트 패턴들(61a)이 형성된 반도체기판의 전면 상에 콘포말한(conformal) 스페이서 절연막을 형성한다. 상기 스페이서 절연막은 상기 버퍼층 패턴들(59a) 및 상기 희생막 패턴들(61)과 식각 선택비가 있는 절연막으로 형성한다. 바람직하게는, 실리콘 산화막(SiO_2)으로 형성할 수 있으며, 보다 바람직하게는 실리콘 산화막과 실리콘 질화막(SiN)으로 이루어진 이중막 이상의 다층막으로 형성할 수 있다. 상기 실리콘 질화막은 자연산화막 세정공정과 같은 후속 세정공정들이 진행되는 동안 상기 실리콘 산화막의 식각 손상(etch damage)을 방지하는 역할을 한다.
- <42> 상기 반도체기판(51)의 N-모스 트랜지스터 영역(A) 및 P-모스 트랜지스터 영역(B) 상부의 스페이서 절연막을 전면 식각하여 상기 오프셋 스페이서(63)의 측벽을 덮는 스페이서들(65)을 형성한다.

- <43> 상기 스페이서들(65)이 형성된 반도체기판의 N-모스 트랜지스터 영역(A) 및 P-모스 트랜지스터 영역(B)에 고농도 불순물을 이온주입하여 소오스/드레인 영역들(71)을 형성한다(도 1의 단계 11). 이때, 상기 N-모스 트랜지스터 영역(A)에는 N 형을 상기 P-모스 트랜지스터 영역(B)에는 P 형의 불순물을 주입한다.
- <44> 한편, 도 3에서와 같이 문턱전압을 조절하기 위한 불순물을 미리 상기 실리콘막(57)에 도우핑하지 않은 경우에는, 상기 고농도 불순물을 이온주입하는 공정에서 상기 실리콘 패턴(57a)에 불순물이 도우핑되도록 하여 문턱전압을 조절할 수 있다.
- <45> 이때, 상기 버퍼층 패턴들(59a) 및 상기 희생막 패턴들(61)이 이온주입에 대한 마스크 역할을 하여, 상기 주입되는 이온들이 상기 게이트 절연막 패턴들(55a)을 통과하여 채널영역으로 침투하는 것이 방지된다.
- <46> 도 1 및 도 6을 참조하면, 상기 소오스/드레인 영역들(71)이 형성된 N-모스 트랜지스터 영역(A) 및 P-모스 트랜지스터 영역(B)에서 상기 실리콘 패턴들(57a)이 노출되도록 상기 희생막 패턴들(61) 및 상기 버퍼층 패턴들(59a)을 제거한다.
- <47> 바람직하게는, 상기 상기 희생막 패턴들(61) 및 상기 버퍼층 패턴들(59a)을 제거하기 전에 상기 소오스/드레인 영역들(71)이 형성된 N-모스 트랜지스터 영역(A) 및 P-모스 트랜지스터 영역(B)에 선택적 에피택시얼 성장막들(selective epitaxial growth layers; SEG막들, 73)을 형성할 수 있다. 상기 SEG막들(73)은 실리콘사이드를 형성하는 공정에서 소오스/드레인 영역들(71)의 실리콘이 소모되는 것을 완화시킨다.

- <48> 도 1 및 도 7을 참조하면, 상기 노출된 실리콘 패턴들(57a)을 갖는 반도체기판의 전면 상에 금속막을 형성한다. 그 결과, 상기 노출된 실리콘 패턴들(57a) 상에 금속막이 형성된다. 또한, 소오스/드레인 영역들(71)의 표면 상에 금속막이 형성된다.
- <49> 상기 금속막은 니켈(Ni), 코발트(Co), 텅스텐(W) 및 타이타늄(Ti) 막으로 이루어진 일군 으로부터 선택된 하나의 금속막 또는 적어도 두개의 합금막으로 형성할 수 있다. 바람직하게는, 니켈막으로 형성할 수 있다. 상기 니켈막은 순수 니켈막(pure nickel layer) 또는 니켈 합금막(nickel alloy layer)으로 형성할 수 있다. 이때, 상기 니켈 합금막은 탄탈륨(Ta), 지르코늄(Zr), 타이타늄(Ti), 하프늄(Hf), 텅스텐(W), 코발트(Co), 백금(Pt), 팔라듐(Pd), 바나듐(V), 니오비움(Nb) 또는 이들의 조합물을 함유할 수 있다.
- <50> 상기 금속막이 형성된 반도체기판을 열처리하여 상기 노출된 실리콘 패턴들(57a)이 완전히 변환된(fully converted) 게이트 실리사이드막들(57b)을 형성한다(도 1의 단계 13). 상기 금속막이 니켈막인 경우, 질소 분위기에서 400℃ 내지 530℃의 온도에서 열처리하면 니켈 실리사이드막을 형성할 수 있다. 이때, 상기 소오스/드레인 영역들의 표면에(at a surface) 소오스/드레인 실리사이드막들(73a)을 함께 형성한다.
- <51> 게이트 실리사이드막들(57b)과 소오스/드레인 실리사이드막들(73a)를 동시에 형성하여도, 상기 실리콘 패턴들(57a)의 두께가 얇으므로 상기 소오스/드레인 영역들(71)의 접합(junction)이 파괴되지 않는다.
- <52> 더욱이, 상기 SEG막들(73)이 소오스/드레인 영역들(71) 상에 형성되어 있는 경우에는, 상기 SEG 막들(73)이 상기 금속막과 반응하여 실리사이드막을 형성하므로 상기 소오스/드레인 영역들(71)의 접합이 파괴되는 것을 방지할 수 있다.

<53> 상기 실리사이드막들(57b 및 73a)이 형성된 후, 상기 게이트 실리사이드막들(57b)와 상기 소오스/드레인 실리사이드막들(73a)이 전기적으로 절연되도록 상기 스페이서 상에 잔존하는 미반응된(unreacted) 금속막을 제거한다. 이때, 상기 실리사이드막들(57b 및 73a) 상부에 잔존하는 미반응된 금속막도 함께 제거하는 것이 바람직하다.

<54> 상기 실리사이드막들(57b 및 73a)이 형성된 반도체기판의 전면 상에 층간 절연막(75)을 형성한다(도 1의 단계 15). 상기 실리사이드막들(57b 및 73a)이 니켈 실리사이드막인 경우, 상기 층간절연막(75)은 550℃보다 낮은 온도에서 형성하는 것이 바람직하다.

【발명의 효과】

<55> 본 발명에 따르면, 완전 게이트 실리사이드 공정을 사용하여 소오스/드레인 영역의 실리사이드막과 게이트 실리사이드막을 동시에 형성하면서, 소오스/드레인 이온주입 동안 채널 이온주입을 방지할 수 있는 모스 트랜지스터 및 시모스 트랜지스터를 제조할 수 있다. 또한, 본 발명에 따르면, 금속 게이트를 사용하면서, 낮은 문턱전압을 유지할 수 있는 모스 트랜지스터 및 시모스 트랜지스터를 제조할 수 있다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 절연된 게이트 패턴을 형성하되, 상기 절연된 게이트 패턴은 차례로 적층된 실리콘 패턴 및 희생막 패턴을 포함하고,

상기 게이트 패턴의 측벽을 덮는 스페이서를 형성하고,

상기 스페이서 및 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성하고,

상기 소오스/드레인 영역들을 갖는 반도체기판의 상기 희생막 패턴을 제거하여 상기 실리콘 패턴을 노출시키고,

상기 노출된 실리콘 패턴을 게이트 실리콘사이드막으로 완전히 변환시킴과 동시에 상기 소오스/드레인 영역의 표면에 소오스/드레인 실리콘사이드막을 선택적으로 형성하는 것을 포함하는 모스 트랜지스터 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 반도체기판은 단결정 실리콘 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 인장된(strained) 실리콘 기판인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 절연된 게이트 패턴을 형성하는 것은

반도체기판의 전면 상에 게이트절연막 및 실리콘막을 순차적으로 형성하고,

상기 실리콘막이 형성된 반도체기판의 전면 상에 희생막을 형성하고,

상기 희생막 및 상기 실리콘막을 순차적으로 패터닝하는 것을 포함하는 모스 트랜지스터 제조 방법.

【청구항 4】

제 3 항에 있어서,

상기 희생막을 형성하기 전에 문턱전압을 조절하기 위한 불순물로 상기 실리콘막을 도우핑하는 것을 더 포함하는 모스 트랜지스터 제조 방법.

【청구항 5】

제 4 항에 있어서,

상기 실리콘막을 도우핑하기 전에 상기 실리콘막 상부에 버퍼층을 형성하는 것을 더 포함하되,

상기 버퍼층은 상기 실리콘막을 패터닝하기 전에 버퍼층 패턴을 형성하도록 식각되고,

상기 버퍼층 패턴은 상기 실리콘 패턴을 노출시키기 위하여 상기 희생막 패턴과 함께 제거되는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 6】

제 4 항에 있어서,

상기 문턱전압을 조절하기 위한 불순물은 N 형 또는 P 형인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 7】

제 3 항에 있어서,

문턱전압을 조절하기 위한 불순물로 상기 희생막이 형성된 반도체기판 상부의 상기 실리콘막을 도우핑하는 것을 더 포함하는 모스 트랜지스터 제조 방법.

【청구항 8】

제 1 항에 있어서,

상기 스페이서를 형성하기 전에 상기 게이트 패턴을 이온주입 마스크로 사용하여 상기 반도체기판 내에 불순물 이온들을 주입하여 LDD 및 Halo를 형성하는 것을 더 포함하는 모스 트랜지스터 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 LDD 및 Halo를 형성하기 전에 상기 게이트 패턴의 측벽을 덮는 오프셋(offset) 스페이서를 형성하는 것을 더 포함하는 모스 트랜지스터 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 스페이서는 상기 희생막 패턴과 식각선택비가 있는 절연막으로 형성하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 11】

제 10 항에 있어서,

상기 식각선택비가 있는 절연막은 실리콘 산화막과 실리콘 질화막으로 이루어진 다층막인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 12】

제 1 항에 있어서,

상기 노출된 실리콘 패턴을 게이트 실리사이드막으로 완전히 변환시킴과 동시에 소오스/드레인 실리사이드막을 형성하는 것은

상기 노출된 실리콘 패턴을 갖는 반도체기판의 전면 상에 금속막을 형성하고,

상기 노출된 실리콘 패턴의 완전한 실리사이드화(total silicidation)가 이루어질 때까지 상기 금속막을 열처리하고,

상기 스페이서 상에 잔존하는 미반응된 금속막을 제거하는 것을 포함하는 모스 트랜지스터 제조 방법.

【청구항 13】

제 12 항에 있어서,

상기 금속막은 Ni, Co, W 및 Ti로 이루어진 일군의 그룹으로부터 선택된 어느 하나의 금속막 또는 적어도 두개의 합금막인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 14】

제 12 항에 있어서,

상기 금속막은 니켈막 또는 니켈 합금막인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 15】

제 1 항에 있어서,

상기 희생막 패턴을 제거하기 전에 상기 소오스/드레인 영역들 상에 선택적 에피택시얼 성장막(selective epitaxial growth layer)을 형성하는 것을 더 포함하는 모스 트랜지스터 제조 방법.

【청구항 16】

반도체기판의 소정영역에 N-모스 트랜지스터 영역 및 P-모스 트랜지스터 영역을 한정하고,

상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상에 절연된 게이트 패턴들을 형성하되, 상기 절연된 게이트 패턴들 각각은 차례로 적층된 실리콘 패턴 및 희생막 패턴을 포함하고,

상기 게이트 패턴들의 측벽을 덮는 스페이서들을 형성하고,

상기 게이트 패턴들 및 상기 스페이서들을 이온주입 마스크로 사용하여 상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 내에 불순물 이온들을 주입하여 소오스/드레인 영역들을 형성하고,

상기 소오스/드레인 영역들을 갖는 반도체기판의 상기 희생막 패턴들을 제거하여 상기 실리콘 패턴들을 노출시키고,

상기 노출된 실리콘 패턴들을 게이트 실리사이드막들로 완전히 변환시킴과 동시에 상기 소오스/드레인 영역들의 표면에 소오스/드레인 실리사이드막들을 선택적으로 형성하는 것을 포함하는 시모스 트랜지스터 제조방법.

【청구항 17】

제 16 항에 있어서,

상기 반도체기판은 단결정 실리콘 기판, 실리콘 온 인슐레이터(SOI) 기판 또는 인장된(strained) 실리콘 기판인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 18】

제 16 항에 있어서,

상기 게이트 패턴들을 형성하는 것은

상기 반도체기판의 전면 상에 게이트절연막 및 실리콘막을 순차적으로 형성하고,

상기 실리콘막이 형성된 반도체기판의 전면 상에 희생막을 형성하고,

상기 희생막 및 상기 실리콘막을 패터닝하는 것을 포함하는 시모스 트랜지스터 제조방법

【청구항 19】

제 18 항에 있어서,

상기 희생막을 형성하기 전에 상기 문턱전압을 조절하기 위한 불순물들로 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상부의 상기 실리콘막을 도우핑하는 것을 더 포함하는 시모스 트랜지스터 제조 방법.

【청구항 20】

제 19 항에 있어서,

상기 실리콘막을 도우핑하기 전에 상기 실리콘막 상부에 버퍼층을 형성하는 것을 더 포함하되, 상기 버퍼층은 상기 실리콘막을 패터닝하기 전에 버퍼층 패턴들을 형성하도록 식각되고, 상기 버퍼층 패턴들은 상기 실리콘 패턴을 노출시키기 위하여 상기 희생막 패턴들과 함께 제거되는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 21】

제 19 항에 있어서,

상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상부의 상기 실리콘막을 도우핑하는 상기 문턱전압을 조절하기 위한 불순물들은 각각 N 형 및 P 형인 것을 특징으로 하는 시모스 트랜지스터 제조 방법.

【청구항 22】

제 18 항에 있어서,

문턱전압을 조절하기 위한 불순물들로 상기 희생막이 형성된 반도체기판의 상기 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 상부의 상기 실리콘막을 도우핑하는 것을 더 포함하는 시모스 트랜지스터 제조 방법.

【청구항 23】

제 16 항에 있어서,

상기 스페이서들을 형성하기 전에 상기 게이트 패턴들을 이온주입 마스크로 사용하여 상기 반도체기판의 N-모스 트랜지스터 영역 및 상기 P-모스 트랜지스터 영역 내에 불순물 이온들을 주입하여 LDD들 및 헤일로(halo)들 형성하는 것을 더 포함하는 시모스 트랜지스터 제조 방법.

【청구항 24】

제 23 항에 있어서,

상기 LDD들 및 헤일로들을 형성하기 전에 상기 게이트 패턴들의 측벽을 덮는 오프셋(offset) 스페이서들을 형성하는 것을 더 포함하는 시모스 트랜지스터 제조 방법.

【청구항 25】

제 16항에 있어서,

상기 스페이서들은 상기 희생막 패턴들과 식각선택비가 있는 절연막으로 형성하는 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 26】

제 25 항에 있어서,

상기 식각선택비가 있는 절연막은 실리콘 산화막과 실리콘 질화막으로 이루어진 다층막인 것을 특징으로 하는 모스 트랜지스터 제조 방법.

【청구항 27】

제 16 항에 있어서,

상기 노출된 실리콘 패턴들을 게이트 실리사이드막들로 완전히 변환시킴과 동시에 상기 소오스/드레인 실리사이드막들을 선택적으로 형성하는 것은

상기 노출된 실리콘 패턴들을 갖는 반도체기판의 전면 상에 금속막을 형성하고,

상기 노출된 실리콘 패턴들의 완전한 실리사이드화(total silicidation)가 이루어질 때까지 상기 금속막을 열처리하고,

상기 스페이서들 상에 잔존하는 미반응된(unreacted) 금속막을 제거하는 것을 포함하는 시모스 트랜지스터 제조 방법.

【청구항 28】

제 27 항에 있어서,

상기 금속막은 Ni, Co, W 및 Ti로 이루어진 일군의 그룹으로부터 선택된 하나의 금속막 또는 적어도 두개의 합금막인 것을 특징으로 하는 시모스 트랜지스터 제조 방법.

【청구항 29】

상기 27 항에 있어서,

상기 금속막은 니켈막 또는 니켈 합금막인 것을 특징으로 하는 시모스 트랜지스터 제조 방법.

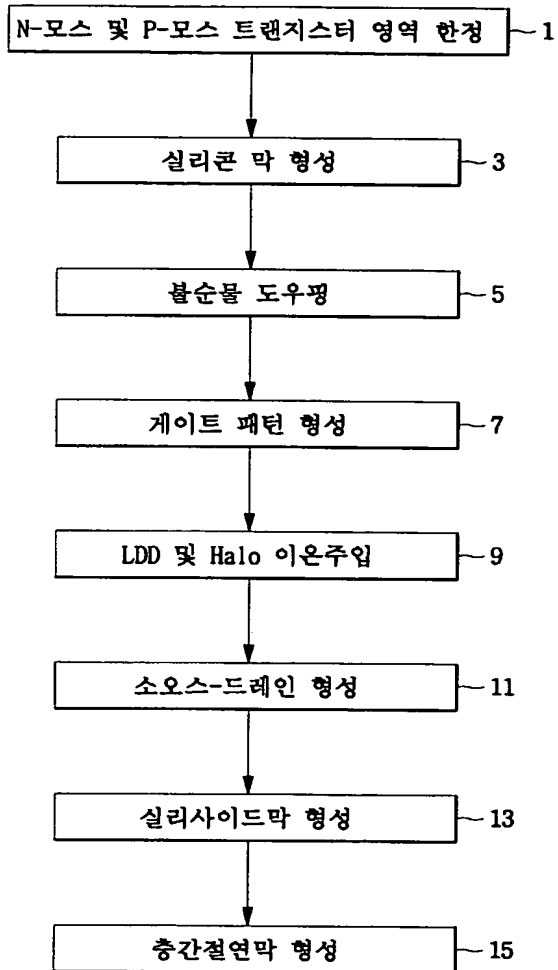
【청구항 30】

제 16 항에 있어서,

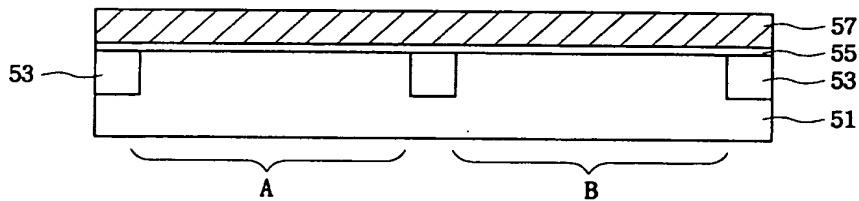
상기 희생막 패턴을 제거하기 전에 상기 소오스/드레인 영역들 상에 선택적 에피택시얼 성장막(selective epitaxial growth layer)을 형성하는 것을 더 포함하는 시모스 트랜지스터 제조 방법.

【도면】

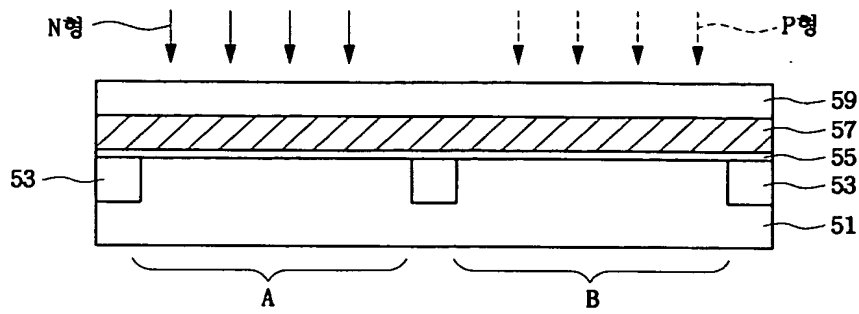
【도 1】



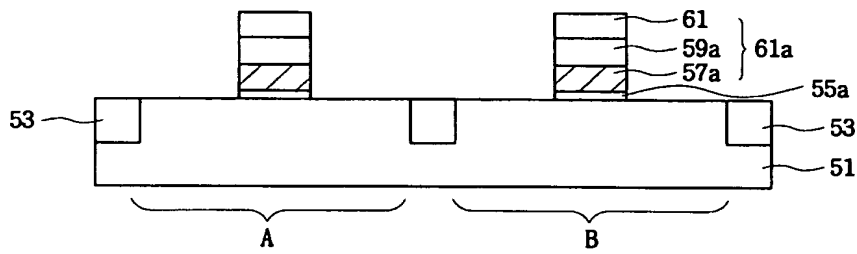
【도 2】



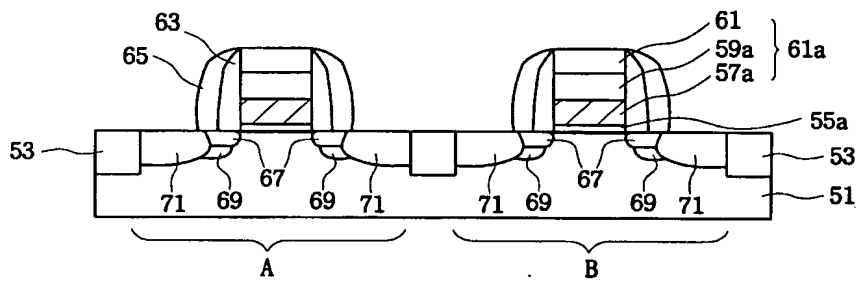
【도 3】



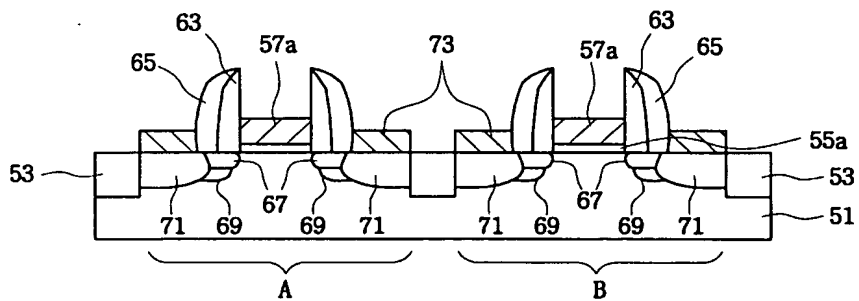
【도 4】



【도 5】



【도 6】





【도 7】

